

# 우수-기수 모드 해석을 통한 표면 실장 소자의 기생 성분 계산 방법

## A method for calculating parasitic component of SMD through even-odd mode analysis

### 요 약

본 단편 논문에서는 인쇄 회로 기판(PCB)에서 많이 사용하는 표면 실장 소자(SMD)의 기생 성분을 우수-기수 모드 해석(Even-odd analysis)을 통해 계산하는 방법을 소개한다. 고주파 회로를 인쇄 회로 기판과 표면 실장 소자를 이용해 설계 하면, SPICE 모델을 이용한 시뮬레이션 결과와 측정 결과가 다르다. 결과가 다른 원인은 인쇄 회로 기판과 표면 실장 소자 사이의 기생 성분이 고주파에서 큰 영향을 주기 때문이다. 일반적으로 이런 기생 성분을 파악하기 위해 지루한 시뮬레이션 튜닝 과정을 거친다. 이 단편 논문에선 간단한 우수-기수 모드 해석을 이용하여 기생 성분을 계산했으며 3.7 GHz 대역에서 유효함을 보였다.

### Abstract

This short paper presents a method for calculating parasitic component of surface mounted device (SMD) through even-odd mode analysis when using on printed circuit board (PCB). When a high frequency circuit is designed using PCB and SMD, the simulation result using the SPICE model and the measurement result are different. The reason for the different result is that the parasitic component between the PCB and SMD has a large effect at high frequency. In general, tedious simulation tuning is required to identify these parasitics. In this short paper, the parasitic components were calculated using a simple even-odd mode analysis, and it was shown to be valid at the 3.7 GHz band.

Key words: Even-odd mode analysis, parasitic component, printed circuit board (PCB), surface mounted device (SMD)

### I. 연구 배경

많은 무선 통신 회로들은 인쇄 회로 기판(PCB)에서 구현이 된다 [1]. 직접 제작이 어려운 소자들은 상용으로 판

매되는 표면 실장 소자(SMD)를 구매하여 회로들을 구현한다. 일반적으로 많은 표면 실장 소자 제공 업체들은 기생 성분이 포함된 산란 파라미터(S-parameters) 또는 SPICE 모델을 제공한다. 하지만 이 모델들은 표면 실장

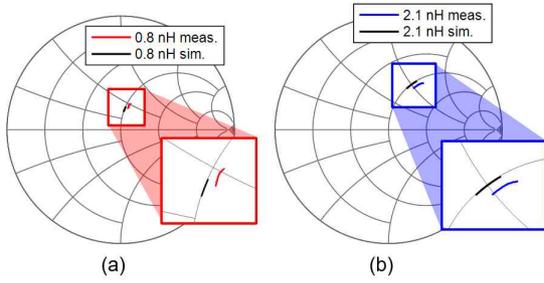


그림 1. 인덕터 표면 실장 소자의 SPICE 모델 시뮬레이션과 실제 측정된 결과의 차이

Fig. 1. The difference between the SPICE model simulation and measured result of SMD inductors

소자가 인쇄 회로 기판에 탑재되어서 사용될 때 발생하는 추가적인 기생 성분, 주로 기생 병렬(shunt) 캐패시턴스와 기생 직렬(series) 인덕턴스가 고려되지 않았다. 그림 1에서 보여주듯이 이 기생 성분은 구현하고자 하는 회로에 많은 영향을 주기 때문에 무시할 수 없다.

일반적으로 기생 성분은 표면 실장 소자의 측정값과 업체에서 제공한 모델과 비교하여 시뮬레이션 튜닝 과정으로 찾는다. 이 단편 논문에서 표면 실장 소자로 인덕터 같은 집중 소자 (lumped element)를 사용할 때 발생하는 기생 성분을 간단한 우수-기수 모드 해석(even-odd mode analysis)을 통해 계산하는 방법을 제공한다. II장에서 표면 실장 소자를 인쇄 회로 기판에 실장 했을 때 생기는 기생 성분을 우수-기수 모드 분석을 통해 계산하는 방법과 III장에서 시중에서 판매하는 인덕터를 이용하여 3.7 GHz 대역에서 제안한 방법을 실제로 적용한 결과를 보여 준다.

## II. 이론

표면 실장 소자의 기생 성분은 인쇄 회로 기판의 납땜될 금속 표면(land pattern)에 따라 달라진다. 특정한 크기의 표면 실장 소자를 사용할 때 같은 금속 표면을 사용하면 유사한 기생 성분을 가질 것으로 예상된다. 따라서 비슷한 크기의 다양한 표면 실장 소자를 사용해야 한다면 납땜될 금속 표면을 범용성 있게 그려서 사용해야 한다.

해당 금속 표면이 파장에 비해 훨씬 작으면 그림 2와

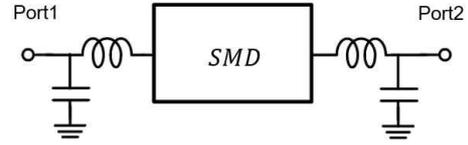


그림 2. 2포트 표면 실장 소자가 인쇄 회로 기판에 사용될 때 발생하는 기생 성분

Fig. 2. An additional parasitic component of 2-port SMD when using on PCB.

같이 기생 성분을 집중 소자로 표현할 수 있다. 이때 발생한 직렬 인덕턴스는 금속 표면과 납땜에 의한 인덕턴스이고 병렬 캐패시턴스는 금속 표면과 접지 사이의 캐패시턴스이다. 이 금속 표면이 대칭 구조라면 양쪽의 기생 집중 소자 또한 대칭이다.

$$S = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} \quad (1)$$

2포트 회로망(network)의 산란 파라미터는 식(1)처럼 표현한다. 이 2포트 회로망이 가역성(reciprocal)이 있으면  $S_{12} = S_{21}$ 을 만족한다. 또한 이 표면 실장 소자가 대칭이면  $S_{11} = S_{22}$  또한 만족한다. 따라서 식 (1)은

$$S = \begin{bmatrix} S_{11} & S_{12} \\ S_{12} & S_{11} \end{bmatrix} \quad (2)$$

처럼 표현할 수 있다. 실제로 표면 실장 소자를 인쇄 회로 기판에 올려서 측정하면 식 (2)처럼 2종류의 식을 얻을 수 있고, 그림 2를 보면 표면 실장 소자의 산란 파라미터는 업체에서 제공하니, 변수는 직렬 인덕턴스와 병렬 캐패시턴스 두 개다. 식과 변수의 개수가 같으므로 방정식을 풀 수 있지만 방정식이 복잡하여 계산하기 쉽지 않다. 하지만 우수-기수 모드 해석을 이용하면 계산을 쉽게 할 수 있다 [2]. 우수-기수 모드 해석은 산란 파라미터 식(2)으로부터 쉽게 얻을 수 있다 [3].

$$S_{11e} = S_{11} + S_{12}, \quad (3)$$

$$S_{11o} = S_{11} - S_{12}, \quad (4)$$

식 (3)에서  $S_{11e}$ 는 식 (2)의 우수 모드 해석 결과이고 식 (4)에서  $S_{11o}$ 는 식 (2)의 기수 모드 해석 결과이다.

그림 2 회로를 우수 모드 해석을 하면, 그림 3(a)의 왼쪽이 나온다. 직렬 인덕턴스 성분과 표면 실장 소자의 절반은 끝이 개방(open)되어서 결국 그림 3(a)의 오른쪽 처

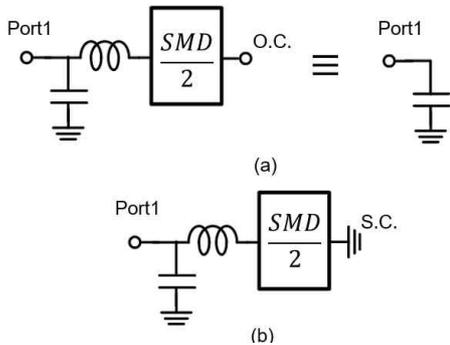


그림 3. 기생 성분이 포함된 표면 실장 소자를 (a) 우수 모드 분석 (b) 기수 모드 분석  
 Fig. 3. (a) Even-mode analysis and (b) odd-mode analysis of SMD with additional parasitic components

림 병렬 캐패시터 성분만 남는다. 기수 모드 해석을 하면 그림 3(b)처럼 끝이 단락(short)된 표면 실장 소자의 절반이 포함된 회로가 남게 된다.

인쇄 회로 기판에서 측정된 표면 실장 소자를 우수 모드 해석을 하면 그림 3(a)처럼 병렬 캐패시터 성분을 바로 구할 수 있다. 반면 직렬 인덕턴스 성분은 기수 모드 해석 결과에서 추가로 계산이 필요하다. 그림 3(b)에서 병렬 캐패시터는 우수 모드 해석으로부터 얻을 수 있고 단락된 절반의 표면 실장 소자는 SPICE 모델에서 식 (4)를 이용하여 얻을 수 있다. 따라서 병렬 캐패시터 성분은 어드미턴스 파라미터 (Y-parameters)를 이용한 계산으로 뽑 수 있고 단락된 절반의 표면 실장 소자 성분 임피던스 파라미터 (Z-parameters)를 이용한 계산으로 뽑 수 있다.

### III. 적용 및 측정 결과

제안한 이론을 적용하기 위해 그림 4(a)에서 보듯이 표면 실장 소자는 Coil craft 회사에서 제공하는 0402DC 인덕터를 사용했고, 이 표면 실장 소자를 측정하기 위한 인쇄 회로 기판은 Rogers 회사에서 제공하는 0.508 mm 두께의 Ro4003C 기판을 사용했다.

인쇄 회로 기판의 금속 표면은 그림 4(b)와 같이 만들고 여기에 표면 실장 소자를 납땜하여 측정한 후, 커넥터부터 검은 선까지의 전송선로를 de-embedding을 하면 그림 4(c)와 같은 등가회로를 얻을 수 있다.

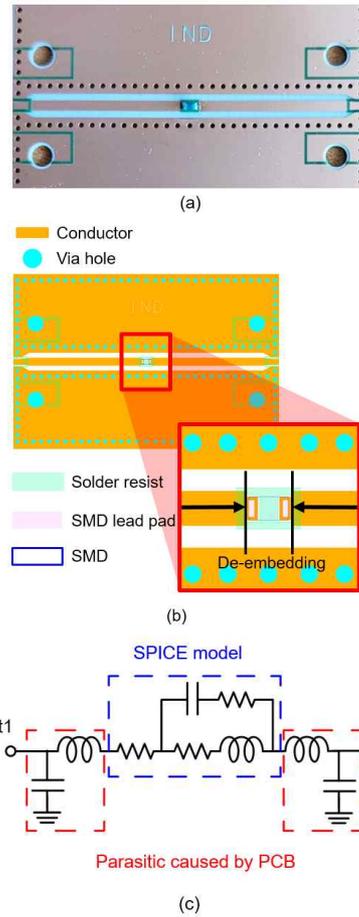


그림 4. 측정된 표면 실장 소자의 (a) 인쇄 회로 기판 사진, (b) 사용된 금속 표면, (c) 등가회로  
 Fig. 4. Photograph of measured SMD on (a) PCB, (b) land pattern and (c) equivalent circuit

인쇄회로 기판에 동일한 금속 표면을 이용하면 같은 기생 성분을 가질 것이므로 교차 검증을 위해 2가지의 인덕터, 0.8 nH, 2.1 nH 를 측정했다. 만약 이 다른 두 개의 인덕터의 기생성분이 유사한 값으로 계산된다면, 계산된 기생성분 값은 충분히 적절한 값이라고 판단할 수 있다.

측정 결과로부터 식(3)을 이용해 두 개의 다른 인덕터의 병렬 캐패시턴스 성분을 구한 결과 모두 대략 0.04 pF 으로 같게 나왔다. 이 결과와 식 (4)를 활용해 직렬 기생 인덕턴스를 구해보면, 0.8 nH 인덕터와 2.1 nH 인덕터는 각각 0.18 nH, 0.16 nH 로 0.02 nH 정도 다른

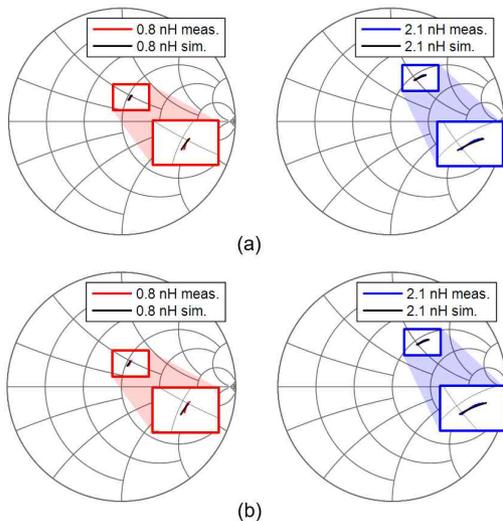


그림 5. SPICE 모델에 계산된 기생성분을 붙여서 시뮬레이션 한 것과 실제 측정값과의 유사성 : (a) 기생성분을 올바르게 붙인, (b) 기생성분을 서로 바꿔서 붙인 시뮬레이션.

Fig. 5. The similarity between the simulation result for SPICE model with calculated parasitic components and the measured result : simulation (a) with the parasitic component correctly, (b) with the parasitic component interchangeably.

직렬 기생 인덕턴스를 갖는 것으로 나온다. 이 차이는 제품의 공차(tolerance)에 의한 것이다. 사용한 제품의 공차는 5%로 0.8 nH 인덕터는 실제로 0.76 ~ 0.84 nH 사이의 인덕턴스를 가질 수 있고 2.1 nH 인덕터는 실제로 2 ~ 2.2 nH 사이의 인덕턴스를 가질 수 있다. 하지만 SPICE 모델은 이러한 공차를 반영할 수 없으므로, 제안한 계산 방법을 이용해서 얻은 직렬 기생 인덕터는 공차에 해당하는 인덕턴스가 포함되어 있고 이들은 서로 구분할 수 없다. 따라서 두 인덕터의 계산한 직렬 기생 인덕턴스의 차이인 0.02 nH는 제품의 공차에 의한 것으로 볼 수 있다. 두 개의 다른 인덕터의 기생성분이 서로 유사하게 나왔으므로, 해당 기생성분 값은 적절한 값이라 판단할 수 있다.

업체에서 제공한 SPICE 모델에 이 단편 논문에서 제시하는 이론을 적용해서 얻은 기생성분을 붙여서 시뮬레이션한 것과 실제 측정값의 차이는 그림 5(a)에서 볼 수 있다. 이 이론을 실사용 할 때, 하나의 인덕터의

기생성분을 계산하고 나머지 인덕터는 앞서 계산된 기생성분을 이용할 것이다. 따라서 직렬 기생 인덕턴스의 차이인 0.02 nH의 영향이 얼마나 큰지를 확인해야 한다. 이를 위한 0.8 nH 인덕터에 2.1 nH 인덕터의 직렬 기생 인덕턴스를 붙이고 2.1 nH 인덕터에 0.8 nH 인덕터의 직렬 기생 인덕턴스를 붙인 시뮬레이션이 그림 5(b)이다. 이 그림에서 볼 수 있듯이 제안한 방식은 상당히 유효한 방식임을 볼 수 있다.

#### IV. 결론

인쇄 회로 기판에 표면 실장 소자를 이용하여 고주파 회로를 설계할 때 업체에서 제공하는 SPICE 모델을 많이 이용한다. 하지만 이것은 실제 측정 결과와 다르다. 다른 이유는 표면 실장 소자와 인쇄 회로 기판 사이의 기생 성분 때문이다. 일반적으로 이런 기생 성분은 SPICE 모델과 측정데이터의 비교를 통한 지루한 시뮬레이션 튜닝으로 찾는다. 이 단편 논문에선 표면 실장 소자의 기생 성분을 간단한 우수-기수 모두 해석을 이용하여 계산하는 방법을 제시한다. 이 방법을 통해 구한 기생 성분과 업체에서 제공하는 SPICE 모델을 이용하면 실제 측정과 매우 유사한 시뮬레이션을 할 수 있다는 것을 3.7 GHz 대역에서 보여줬다.

#### References

- [1] B. Kim, D. Lee, J. Kim and J. Oh, "A High-Efficiency Multi-Mode Rectifier Array Based on Variable Power Distribution," *The journal of Korean Institute of Electromagnetic Engineering and Science*, vol. 33, no. 6, pp. 454-459, June, 2022
- [2] D. M. Pozar, *Microwave Engineering*, 4<sup>th</sup> ed., New York, Wiley, 2011.
- [3] I. Bahl and P. B. R. Mongia, *RF and microwave coupled-line circuits*, 2<sup>nd</sup> ed. Boston, Artech house, 1999